

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Yoshihisa IBA**

Serial Number: **Not Yet Assigned**

Filed: **February 10, 2004**

**Customer No.: 38834**

For: **METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

February 10, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

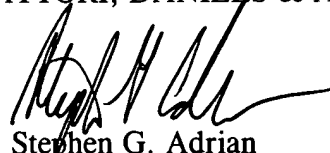
**Japanese Appln. No. 2003-074381, filed on March 18, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 042075  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/II

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 1 8 日  
Date of Application:

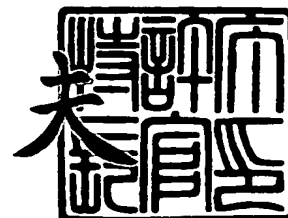
出 願 番 号                      特 願 2 0 0 3 - 0 7 4 3 8 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 7 4 3 8 1 ]

出      願      人                      富士通株式会社  
Applicant(s):

2 0 0 3 年 1 2 月    5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0340009

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 射場 義久

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ダマシン法により配線を形成する工程を有する半導体装置の製造方法において、

導電層上に、エッチングストッパ膜及び層間絶縁膜を順次形成する工程と、

前記層間絶縁膜上に、第 1 のハードマスクとして、シリコン炭化膜、シリコン窒化膜又はシリコン酸化膜を形成する工程と、

前記第 1 のハードマスク上に、第 2 のハードマスクとして、シリコン酸化膜を形成する工程と、

前記第 2 のハードマスク上に、第 3 のハードマスクとして、シリコン炭化膜又はシリコン窒化膜を形成する工程と、

前記第 3 のハードマスク上に、第 4 のハードマスクとして、シリコン酸化膜を形成する工程と、

前記第 4 のハードマスクにパターンを形成する工程と、

前記第 4 のハードマスクを用いて前記第 3 のハードマスクをエッチングする工程と、

前記第 3 のハードマスクを用いて前記第 2 のハードマスクをエッチングする工程と、

前記第 3 のハードマスクを用いて前記第 1 のハードマスクをエッチングする工程と、

前記第 3 のハードマスクを用いて前記層間絶縁膜をエッチングすることにより、前記層間絶縁膜に前記エッチングストッパ膜まで到達する開口部を形成する工程と、

前記エッチングストッパ膜の前記層間絶縁膜に形成された開口部から露出する部分をエッチングする工程と、

前記開口部内に配線材料を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記層間絶縁膜として、無機系の絶縁膜を用いることを特徴

とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記層間絶縁膜として、ポーラスシリカ膜を用いることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 3 のハードマスクの厚さを、前記第 1 のハードマスクの 2 倍以上とすることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記エッチングストップ膜をエッチングする工程は、前記第 3 のハードマスクを除去する工程を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記第 3 のハードマスクを用いて前記第 2 のハードマスクをエッチングする工程は、前記第 4 のハードマスクを除去する工程を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記第 4 のハードマスクにパターンを形成する工程は、  
第 1 のレジストマスクを用いて前記第 4 のハードマスクに第 1 のパターンを形成する工程と、

前記第 1 のレジストマスクを除去する工程と、

全面に樹脂膜を形成する工程と、

第 2 のレジストマスクを用いて前記樹脂膜にパターンを形成する工程と、

前記樹脂膜をマスクとして用いて前記第 4 のハードマスクに第 2 のパターンを形成する工程と、

前記樹脂膜を除去する工程と、

を有することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 のパターンは、配線溝のパターンであり、前記第 2 のパターンは、ビアホールのパターンであることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 3 のハードマスクを用いて前記第 2 のハードマスクをエッチングする工程は、前記層間絶縁膜に前記層間絶縁膜の厚さよりも浅い孔を形成する工程を有することを特徴とする請求項 7 又は 8 に記載の半導体装置の製

造方法。

【請求項 10】 前記開口部は、前記第 1 のパターンに基づいて形成された配線溝部と、前記第 2 のパターンに基づいて形成されたビアホール部と、を有することを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線層の形成に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】

近時、微細化の要請に伴って、半導体装置の製造に当たっては、ダマシン法を採用することが多い。また、ダマシン法では、配線材料の CMP（化学機械的研磨）及びフォトリソグラフィ技術の点から、層間絶縁膜にビアホールや配線溝を形成するに際して、3 層構造のハードマスクを用いることがある。これは、次のような理由による。

【0003】

図 14（a）乃至（c）は、ダマシン法における CMP の進行を工程順に示す断面図である。層間絶縁膜としてポーラスシリカ膜 114 が形成され、このポーラスシリカ膜 114 に配線溝を形成する場合、ポーラスシリカ膜 114 が CMP によって研磨されることを防止する絶縁膜 115 と、CMP における削り代としての絶縁膜 116 とが必要とされる。そして、高い精度で CMP を行うためには、即ち、各膜の厚さを設計値どおりにするために、絶縁膜 115 には、硬度が高いことが要求され、絶縁膜 116 には、絶縁膜 115 と比較して CMP によって研磨されやすいことが要求される。そこで、絶縁膜 115 としては、SiC 膜、SiN 膜又は硬度が高い SiOC 膜等が用いられ、絶縁膜 116 としては、SiO<sub>2</sub> 膜等が用いられている。このような膜を用いることにより、図 14（a）に示すように、配線溝内に Cu 膜 117 を埋め込んだ後、図 14（b）に示すように、CMP を行くと、図 14（c）に示すように、絶縁膜 115 の表面で CMP

が停止する。

#### 【0004】

絶縁膜 116 として  $\text{SiO}_2$  膜を用いる場合、絶縁膜 116 とポーラスシリカ膜との間の選択比が低い。このため、絶縁膜 116 の厚さを比較的厚くする必要がある。しかし、図 14 (a) 乃至 (c) に示すような 2 層構造のハードマスクでは、絶縁膜 116 を厚くすることはできない。これは、次のような理由による。

#### 【0005】

図 15 (a) 及び (b) は、ArF レジストを用いたエッチングの進行を工程順に示す断面図である。例えば、図 15 (a) に示すように、絶縁膜 116 等の被加工膜 119 の上に BARC (Bottom Anti-Reflection Coating) 等の反射防止膜 120 を形成し、その上に ArF レジストからなるレジストマスク 121 を形成する。そして、レジストマスク 121 をマスクとして、反射防止膜 120 及び被加工膜 119 のエッチングを行う。このとき、ArF レジストのエッチングに対する耐性が低く、レジストマスク 121 が薄くなるため、被加工膜 119 の加工可能な深さは浅い。また、近時、微細化の要請から、解像能力を向上させるために、レジストマスク 121 の薄膜化が必要となってきた。このため、レジストマスク 121 を用いて加工することが可能な被加工膜 119 の深さはより浅くなってしまう。

#### 【0006】

このような事情から、2 層構造のハードマスクで絶縁膜 116 を厚くすることはできない。そこで、絶縁膜 116 の上に、更に薄いハードマスクを形成して 3 層構造のハードマスクを用いている。

#### 【0007】

##### 【特許文献 1】

特開 2000-351976 号公報

##### 【特許文献 2】

特開 2001-77196 号公報

##### 【特許文献 3】

特開 2002-222860 号公報

【0008】

【発明が解決しようとする課題】

しかしながら、3層構造のハードマスクを用いても、より一層の微細化に対応することが困難となってきた。図16 (a)乃至 (d) は、従来のダマシン法を採用した半導体装置の製造方法を工程順に示す断面図である。

【0009】

従来の製造方法では、図16 (a) に示すように、Cu配線102上に、SiC膜103、ポーラスシリカ膜104、SiC膜105、SiO<sub>2</sub>膜106、SiN膜107、及びBARC等の反射防止膜109を順次形成した後、ArFレジストからなるレジストマスク110を形成する。

【0010】

次に、図16 (b) に示すように、レジストマスク110をマスクとして、反射防止膜109及びSiN膜107をエッチングする。次いで、レジストマスク110をアッシングにより除去する。

【0011】

その後、図16 (c) に示すように、SiN膜107をマスクとして、SiO<sub>2</sub>膜106をエッチングする。続いて、SiO<sub>2</sub>膜106をマスクとして、SiC膜105をエッチングすると共に、SiN膜107を除去する。

【0012】

次に、図16 (d) に示すように、SiO<sub>2</sub>膜106をマスクとして、ポーラスシリカ膜104及びSiC膜103をエッチングする。その後、配線の形成を行う。

【0013】

このような従来の製造方法では、図16 (d) に示すように、SiO<sub>2</sub>膜106と無機系のポーラスシリカ膜104との間の選択比が低いため、ハードマスクとして用いているSiO<sub>2</sub>膜106の端部が丸まってしまう。この結果、開口部の大きさが設計値よりも大きくなって、隣り合う配線間でリークが生じやすくなる。



## 【0014】

このような欠点を回避するために、 $\text{SiO}_2$ 膜106を厚くすることも考えられるが、 $\text{SiO}_2$ 膜106を厚くするためには、そのパターンニングの際にハードマスクとして用いている $\text{SiN}$ 膜107も厚くする必要がある、フォトリソグラフィに関して問題が生じる。

## 【0015】

$\text{SiN}$ 膜107を厚くすると、次のような問題が生じる。図17(a)乃至(c)は、デュアルダマシン法におけるレジストマスクの形成方法を工程順に示す断面図である。

## 【0016】

先溝露光方式のデュアルダマシン法では、図17(a)に示すように、被加工膜122上に、配線溝のパターンが形成されたハードマスク123を形成した後、図17(b)に示すように、 $\text{ArF}$ レジストからなるレジストマスク124を全面に形成する。このとき、幅が広い配線溝のパターンが形成された部分では、レジストマスク124が他の部分よりも薄くなる。そして、図17(c)に示すように、露光及び現像によりレジストマスク124にビアホールのパターンを形成すると、レジストマスク124が薄くなった部分で、ビアホールの寸法が設計値よりも大きくなってしまう。

## 【0017】

また、上述のように、解像能力を向上させるために、レジストマスクの薄膜化が必要となっており、最上層のハードマスクの厚さは薄くする必要がある。

## 【0018】

本発明は、かかる問題点に鑑みてなされたものであって、微細化に伴う配線間のリークを抑制することができる半導体装置の製造方法を提供することを目的とする。

## 【0019】

## 【課題を解決するための手段】

本願発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

## 【0020】

本願発明に係る半導体装置の製造方法は、ダマシン法により配線を形成する工程を有する半導体装置の製造方法を対象とする。そして、本製造方法では、導電層上に、エッチングストッパ膜及び層間絶縁膜を順次形成する。次に、前記層間絶縁膜上に、第1のハードマスクとして、シリコン炭化膜、シリコン窒化膜又はシリコン酸窒化膜を形成する。次いで、前記第1のハードマスク上に、第2のハードマスクとして、シリコン酸化膜を形成する。その後、前記第2のハードマスク上に、第3のハードマスクとして、シリコン炭化膜又はシリコン窒化膜を形成する。続いて、前記第3のハードマスク上に、第4のハードマスクとして、シリコン酸化膜を形成する。次に、前記第4のハードマスクにパターンを形成する。次いで、前記第4のハードマスクを用いて前記第3のハードマスクをエッチングする。その後、前記第3のハードマスクを用いて前記第2のハードマスクをエッチングする。続いて、前記第3のハードマスクを用いて前記第1のハードマスクをエッチングする。次に、前記第3のハードマスクを用いて前記層間絶縁膜をエッチングすることにより、前記層間絶縁膜に前記エッチングストッパ膜まで到達する開口部を形成する。次いで、前記エッチングストッパ膜の前記層間絶縁膜に形成された開口部から露出する部分をエッチングする。そして、前記開口部内に配線材料を埋め込む。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置の製造方法について添付の図面を参照して具体的に説明する。

#### 【0022】

##### (第1の実施形態)

先ず、本発明の第1の実施形態について説明する。図1乃至図5は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態では、シングルダマシン法により半導体装置を製造する。

#### 【0023】

先ず、図1(a)に示すように、層間絶縁膜1内に形成されたCu配線2(導電層)上に、エッチングストッパ膜としてSiC膜3を形成する。SiC膜3の

厚さは、例えば 30 nm である。次に、SiC 膜 3 上に、層間絶縁膜としてポーラスシリカ膜 4 を形成する。ポーラスシリカ膜 4 の厚さは、例えば 200 nm である。ポーラスシリカ膜 4 は、多孔質の低誘電率絶縁膜である。

#### 【0024】

次いで、ポーラスシリカ膜 4 上に、第 1 のハードマスクとして SiC 膜 5 を形成し、更に、第 2 のハードマスクとして SiO<sub>2</sub> 膜 6 を形成する。SiC 膜 5 及び SiO<sub>2</sub> 膜 6 の厚さは、夫々、例えば 40 nm、70 nm である。続いて、SiO<sub>2</sub> 膜 6 上に、第 3 のハードマスクとして SiC 膜 7 を形成し、更に、第 4 のハードマスクとして SiO<sub>2</sub> 膜 8 を形成する。ここで、SiC 膜 7 の厚さは SiC 膜 5 の 2 倍以上であることが好ましく、SiC 膜 7 及び SiO<sub>2</sub> 膜 8 の厚さは、夫々、例えば 80 nm、50 nm である。その後、SiO<sub>2</sub> 膜 8 上に、パターニング時に必要な反射防止膜 9 を形成する。反射防止膜 9 は、例えば有機 BARC である。そして、反射防止膜 9 上に、有機系の感光性 ArF レジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク 10 を形成する。配線溝の幅は、例えば 100 nm 程度である。

#### 【0025】

次に、図 1 (b) に示すように、レジストマスク 10 をマスクとして、反射防止膜 9 をエッチングする。このエッチングでは、例えば CF<sub>4</sub> 及び Ar を含むガスを用いる。具体的には、このエッチングは、例えば、CF<sub>4</sub>: 50 sccm、Ar: 20 sccm、圧力: 6.67 Pa (50 mTorr)、RF 電源パワー: 300 W の条件の下で、プラズマエッチング装置を用いて行う。

#### 【0026】

次いで、レジストマスク 10 をマスクとして、SiO<sub>2</sub> 膜 8 をエッチングする。このエッチングでは、例えば C<sub>4</sub>F<sub>6</sub> を含むガスを用い、パワーを比較的高くする。具体的には、このエッチングは、例えば、C<sub>4</sub>F<sub>6</sub>: 30 sccm、O<sub>2</sub>: 15 sccm、Ar: 300 sccm、圧力: 4.00 Pa (30 mTorr)、RF 電源パワー: 1000 W の条件の下で、プラズマエッチング装置を用いて行う。この結果、SiO<sub>2</sub> 膜 8 が配線溝のパターンにパターニングされる。

#### 【0027】

続いて、図2 (a) に示すように、レジストマスク10及び反射防止膜9をアッシングにより除去する。

#### 【0028】

次に、図2 (b) に示すように、SiO<sub>2</sub>膜8をマスクとして、SiC膜7をエッチングする。このエッチングでは、SiO<sub>2</sub>膜6及び8とSiC膜7との選択比を高くするために、例えばCHF<sub>3</sub>、CH<sub>2</sub>F<sub>2</sub>又はCH<sub>3</sub>Fを含み、更にN<sub>2</sub>、O<sub>2</sub>及びArを含むガスを用い、パワーを低くする。具体的には、このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 20 sccm、Ar: 50 sccm、N<sub>2</sub>: 50 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 200 Wの条件の下で、プラズマエッチング装置を用いて行う。

#### 【0029】

次いで、図3 (a) に示すように、SiC膜7をマスクとして、SiO<sub>2</sub>膜6をエッチングすると共に、SiO<sub>2</sub>膜8を除去する。このエッチングでは、SiO<sub>2</sub>膜6及び8とSiC膜5及び7との選択比を高くするために、例えばC<sub>4</sub>F<sub>6</sub>、C<sub>4</sub>F<sub>8</sub>、C<sub>5</sub>F<sub>8</sub>、CHF<sub>3</sub>又はCH<sub>2</sub>F<sub>2</sub>を含み、更にO<sub>2</sub>及びArを含むガスを用い、パワーを高くする。具体的には、このエッチングは、例えば、C<sub>4</sub>F<sub>6</sub>: 20 sccm、O<sub>2</sub>: 15 sccm、Ar: 200 sccm、圧力: 4.00 Pa (30 mTorr)、RF電源パワー: 1500 Wの条件の下で、プラズマエッチング装置を用いて行う。

#### 【0030】

その後、図3 (b) に示すように、SiC膜7をマスクとして、SiC膜5をエッチングする。この結果、SiC膜5の露出している部位が除去されると共に、SiC膜7が薄くなる。このエッチングでは、例えばCHF<sub>3</sub>、CH<sub>2</sub>F<sub>2</sub>又はCH<sub>3</sub>Fを含み、更にN<sub>2</sub>、O<sub>2</sub>及びArを含むガスを用い、パワーを低くする。具体的には、このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 20 sccm、Ar: 50 sccm、N<sub>2</sub>: 50 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 200 Wの条件の下で、プラズマエッチング装置を用いて行う。

#### 【0031】

続いて、図4 (a) に示すように、SiC膜7をマスクとして、ポーラスシリカ膜4をエッチングする。エッチングによりポーラスシリカ膜に表面あれが生じやすく、ポーラスシリカ膜はサブトレンチ形状になりやすい。このため、このエッチングでは、例えばCF<sub>4</sub>を含むガスを用い、圧力を高くする（例えば6.67 Pa～40.0 Pa (50 Torr～300 mTorr)）。更に、サイドエッチングを抑制するために、CHF<sub>3</sub>、C<sub>4</sub>F<sub>6</sub>、C<sub>5</sub>F<sub>8</sub>又はC<sub>4</sub>F<sub>8</sub>を混入する。具体的には、このエッチングは、例えば、CF<sub>4</sub>: 50 sccm、CHF<sub>3</sub>: 100 sccm、Ar: 50 sccm、N<sub>2</sub>: 10 sccm、圧力: 26.7 Pa (200 mTorr)、RF電源パワー: 1000 Wの条件の下で、プラズマエッチング装置を用いて行う。このエッチングの結果、ポーラスシリカ膜4に配線溝13が形成される。

#### 【0032】

次に、図4 (b) に示すように、エッチングにより、SiC膜3の露出している部位及びSiC膜7を除去する。このエッチングでは、例えばCHF<sub>3</sub>、CH<sub>2</sub>F<sub>2</sub>又はCH<sub>3</sub>Fを含み、更にN<sub>2</sub>、O<sub>2</sub>及びArを含むガスを用い、パワーを低くする。具体的には、このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 15 sccm、Ar: 50 sccm、N<sub>2</sub>: 75 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 150 Wの条件の下で、プラズマエッチング装置を用いて行う。このエッチングの結果、配線溝13が下層のCu配線2まで到達する。

#### 【0033】

次いで、図5 (a) に示すように、配線溝13内に、Cu膜（配線材料）11を埋め込み、図5 (b) に示すように、Cu膜11にCMP（化学機械的研磨）を施すことにより、Cu配線12を形成する。その後、必要に応じて、更に層間絶縁膜及び配線等の形成を行い、半導体装置を完成させる。

#### 【0034】

このような第1の実施形態によれば、ハードマスクを4層構造とし、ポーラスシリカ膜4のエッチング時には、ポーラスシリカ膜4との選択比が高いSiC膜7をマスクとして用いている。このため、ハードマスクの変形は極めて生じにく

く、この変形を原因とするリークを抑制することができる。

#### 【0035】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。図6乃至図12は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態では、先溝露光方式のデュアルダマシン法により半導体装置を製造する。

#### 【0036】

先ず、図6(a)に示すように、層間絶縁膜1内に形成されたCu配線2(導電層)上に、エッチングストッパ膜としてSiC膜3を形成する。SiC膜3の厚さは、例えば30nmである。次に、SiC膜3上に、層間絶縁膜としてポーラスシリカ膜4を形成する。ポーラスシリカ膜4の厚さは、例えば400nmである。

#### 【0037】

次いで、ポーラスシリカ膜4上に、第1のハードマスクとしてSiC膜5を形成し、更に、第2のハードマスクとしてSiO<sub>2</sub>膜6を形成する。SiC膜5及びSiO<sub>2</sub>膜6の厚さは、夫々、例えば40nm、70nmである。続いて、SiO<sub>2</sub>膜6上に、第3のハードマスクとしてSiC膜7を形成し、更に、第4のハードマスクとしてSiO<sub>2</sub>膜8を形成する。ここで、SiC膜7の厚さはSiC膜5の2倍以上であることが好ましく、SiC膜7及びSiO<sub>2</sub>膜8の厚さは、夫々、例えば80nm、50nmである。その後、SiO<sub>2</sub>膜8上に、パターニング時に必要な反射防止膜9を形成する。反射防止膜9は、例えば有機BARCである。そして、反射防止膜9上に、有機系の感光性ArFレジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク10を形成する。

#### 【0038】

次に、図6(b)に示すように、レジストマスク10をマスクとして、反射防止膜9をエッチングする。このエッチングでは、例えばCF<sub>4</sub>及びArを含むガスを用いる。具体的には、このエッチングは、例えば、CF<sub>4</sub>:50sccm、

Ar : 20 s c c m、圧力 : 6. 67 Pa (50 mT o r r)、RF 電源パワー : 300 W の条件の下で、プラズマエッチング装置を用いて行う。

#### 【0039】

次いで、レジストマスク 10 をマスクとして、SiO<sub>2</sub> 膜 8 をエッチングする。このエッチングでは、例えば C<sub>4</sub>F<sub>6</sub> を含むガスを用い、パワーを比較的高くする。具体的には、このエッチングは、例えば、C<sub>4</sub>F<sub>6</sub> : 30 s c c m、O<sub>2</sub> : 15 s c c m、Ar : 300 s c c m、圧力 : 4. 00 Pa (30 mT o r r)、RF 電源パワー : 1000 W の条件の下で、プラズマエッチング装置を用いて行う。この結果、SiO<sub>2</sub> 膜 8 に配線溝のパターン (第 1 のパターン) が形成される。

#### 【0040】

続いて、図 7 (a) に示すように、レジストマスク 10 及び反射防止膜 9 をアッシングにより除去する。

#### 【0041】

そして、層間絶縁膜であるポーラスシリカ膜 4 に、ビアホールのパターンを形成する。ここでは、SiO<sub>2</sub> 膜 8 に形成された配線溝のパターンに対して、トリレベル技術を用いる。

#### 【0042】

具体的には、先ず、図 7 (b) に示すように、SiO<sub>2</sub> 膜 8 の段差を埋めて平坦化する下層樹脂膜 (有機膜) 21 を形成する。次に、下層樹脂膜 21 上に、下層樹脂膜 21 のエッチングの際にマスクとして使用する SOG (Spin On Glass) 膜 (無機膜) 22 を形成する。続いて、SOG 膜 22 上に、有機系の感光性 Ar F レジストを塗布し、これに露光及び現像を施すことにより、ビアホールのパターンが形成されたレジストマスク (感光性レジスト膜) 23 を形成する。ビアホールの直径は、例えば 100 nm 程度である。

#### 【0043】

次に、図 8 (a) に示すように、レジストマスク 23 をマスクとして、SOG 膜 22 をエッチングする。次いで、SOG 膜 22 をマスクとして、下層樹脂膜 21 をエッチングすると同時に、レジストマスク 23 を除去する。

## 【0044】

続いて、図8 (b) に示すように、下層樹脂膜21をマスクとして、SiO<sub>2</sub>膜8、SiC膜7、SiO<sub>2</sub>膜6及びSiC膜5 (4層のハードマスク) をエッチングすることにより、これらの膜にビアホールのパターン (第2のパターン) を形成する。

## 【0045】

SiO<sub>2</sub>膜8のエッチングは、例えば、C<sub>4</sub>F<sub>6</sub>: 30 sccm、O<sub>2</sub>: 15 sccm、Ar: 300 sccm、圧力: 4.00 Pa (30 mTorr)、RF電源パワー: 1000 Wの条件の下で、プラズマエッチング装置を用いて行う。

## 【0046】

SiC膜7のエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 20 sccm、Ar: 50 sccm、N<sub>2</sub>: 50 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 200 Wの条件の下で、プラズマエッチング装置を用いて行う。

## 【0047】

SiO<sub>2</sub>膜6のエッチングは、例えば、C<sub>4</sub>F<sub>6</sub>: 20 sccm、O<sub>2</sub>: 15 sccm、Ar: 200 sccm、圧力: 4.00 Pa (30 mTorr)、RF電源パワー: 1500 Wの条件の下で、プラズマエッチング装置を用いて行う。

## 【0048】

SiC膜5のエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 20 sccm、Ar: 50 sccm、N<sub>2</sub>: 50 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 200 Wの条件の下で、プラズマエッチング装置を用いて行う。

## 【0049】

これらの一連のエッチングの結果、SiC膜7、SiO<sub>2</sub>膜6及びSiC膜5にビアホールのパターン (第2のパターン) が形成される。

## 【0050】

次に、図9 (a) に示すように、下層樹脂膜21をアッシングにより除去する。



## 【0051】

次いで、図9 (b) に示すように、SiO<sub>2</sub>膜8及び6をマスクとして、SiC膜7及び5をエッチングする。このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 20 sccm、Ar: 50 sccm、N<sub>2</sub>: 50 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 200 Wの条件の下で、プラズマエッチング装置を用いて行う。この結果、SiC膜7に配線溝のパターンが形成され、SiC膜5にビアホールのパターンが形成される。

## 【0052】

その後、図10 (a) に示すように、SiC膜7をマスクとして、SiO<sub>2</sub>膜6をエッチングし、SiC膜5をマスクとして、ポーラスシリカ膜4をエッチングすると共に、SiO<sub>2</sub>膜8を除去する。このエッチングは、例えば、CF<sub>4</sub>: 50 sccm、CHF<sub>3</sub>: 100 sccm、Ar: 50 sccm、N<sub>2</sub>: 10 sccm、圧力: 26.7 Pa (200 mTorr)、RF電源パワー: 1000 Wの条件の下で、プラズマエッチング装置を用いて行う。このエッチングによりポーラスシリカ膜4に形成された孔は、ビアホールの一部となる。また、SiO<sub>2</sub>膜6に配線溝のパターンが形成される。

## 【0053】

続いて、図10 (b) に示すように、エッチングにより、SiC膜5の露出している部位を除去すると共に、SiC膜7を薄くする。このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub>: 30 sccm、O<sub>2</sub>: 15 sccm、Ar: 50 sccm、N<sub>2</sub>: 75 sccm、圧力: 2.67 Pa (20 mTorr)、RF電源パワー: 150 Wの条件の下で、プラズマエッチング装置を用いて行う。この結果、SiC膜5に配線溝のパターンが形成される。

## 【0054】

次に、SiC膜7をマスクとして、ポーラスシリカ膜4のエッチングを行うことにより、図11 (a) に示すように、配線溝25を形成すると同時に、SiC膜3まで到達するビアホール24を形成する。このエッチングは、例えば、CF<sub>4</sub>: 50 sccm、CHF<sub>3</sub>: 100 sccm、Ar: 50 sccm、N<sub>2</sub>: 10 sccm、圧力: 26.7 Pa (200 mTorr)、RF電源パワー: 100

0 W の条件の下で、プラズマエッチング装置を用いて行う。

#### 【0055】

次いで、図 11 (b) に示すように、エッチングにより、SiC 膜 3 の露出している部位及び SiC 7 を除去する。このエッチングは、例えば、CH<sub>2</sub>F<sub>2</sub> : 30 sccm、O<sub>2</sub> : 15 sccm、Ar : 50 sccm、N<sub>2</sub> : 75 sccm、圧力 : 2.67 Pa (20 mTorr)、RF 電源パワー : 150 W の条件の下で、プラズマエッチング装置を用いて行う。このエッチングの結果、ビアホール 24 が下層の Cu 配線 2 まで到達する。

#### 【0056】

その後、図 12 (a) に示すように、配線溝 25 及びビアホール 24 内に、Cu 膜 (配線材料) 26 を埋め込み、図 11 (b) に示すように、Cu 膜 26 に CMP を施すことにより、Cu 配線 27 を形成する。その後、必要に応じて、更に層間絶縁膜及び配線等の形成を行い、半導体装置を完成させる。

#### 【0057】

図 13 は、第 2 の実施形態を適用して製造した半導体装置の構造を示す断面図である。図 13 に示す例では、上述の実施形態に係る製造方法により、少なくとも 2 層の多層配線が形成されている。そして、最上層の Cu 配線 27 及びポラスシリカ膜 4 上に、SiN 等からなるパッシベーション膜 31 が形成されている。更に、パッシベーション膜 31 上に、SiO 膜 32 及び SiN 膜 33 からなるカバー膜が形成されている。カバー膜には、適宜パッド引出用の開口部 (図示せず) が形成されている。

#### 【0058】

このような第 2 の実施形態によっても、ハードマスクを 4 層構造とし、ポラスシリカ膜 4 のエッチング時には、ポラスシリカ膜 4 との選択比が高い SiC 膜 7 をマスクとして用いている。このため、第 1 の実施形態と同様に、ハードマスクの変形は極めて生じにくく、この変形を原因とするリークを抑制することができる。

#### 【0059】

なお、層間絶縁膜の材料は特に限定されるものではなく、有機低誘電率膜を用

いてもよく、また、シリコン酸化膜を用いてもよい。また、エッチングストッパ膜としては、シリコン炭化膜の他に、例えばシリコン窒化膜を用いてもよい。第1のハードマスクとしては、シリコン炭化膜の他に、シリコン窒化膜又はシリコン酸窒化膜を用いてもよい。第3のハードマスクとしては、シリコン炭化膜の他に、シリコン窒化膜を用いてもよい。

#### 【0060】

例えば、第3のハードマスクとしてシリコン炭化膜（SiC膜）を用い、第1のハードマスクとしてシリコン窒化膜（SiN膜）を用いた場合、シリコン窒化膜をシリコン炭化膜より速い速度でエッチングすることができるので、第1のハードマスクをエッチングする際の第3のハードマスクの膜厚の減少量が低減する。このため、第3のハードマスクをより薄い厚さにすることが可能となる。この結果、第4のハードマスク（SiO<sub>2</sub>膜）を用いた第3のハードマスクのエッチングが容易になる。

#### 【0061】

以下、本発明の諸態様を付記としてまとめて記載する。

#### 【0062】

（付記1） ダマシン法により配線を形成する工程を有する半導体装置の製造方法において、

導電層上に、エッチングストッパ膜及び層間絶縁膜を順次形成する工程と、

前記層間絶縁膜上に、第1のハードマスクとして、シリコン炭化膜、シリコン窒化膜又はシリコン酸窒化膜を形成する工程と、

前記第1のハードマスク上に、第2のハードマスクとして、シリコン酸化膜を形成する工程と、

前記第2のハードマスク上に、第3のハードマスクとして、シリコン炭化膜又はシリコン窒化膜を形成する工程と、

前記第3のハードマスク上に、第4のハードマスクとして、シリコン酸化膜を形成する工程と、

前記第4のハードマスクにパターンを形成する工程と、

前記第4のハードマスクを用いて前記第3のハードマスクをエッチングする工



程と、

前記第 3 のハードマスクを用いて前記第 2 のハードマスクをエッチングする工程と、

前記第 3 のハードマスクを用いて前記第 1 のハードマスクをエッチングする工程と、

前記第 3 のハードマスクを用いて前記層間絶縁膜をエッチングすることにより、前記層間絶縁膜に前記エッチングストッパ膜まで到達する開口部を形成する工程と、

前記エッチングストッパ膜の前記層間絶縁膜に形成された開口部から露出する部分をエッチングする工程と、

前記開口部内に配線材料を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

#### 【 0 0 6 3 】

(付記 2) 前記層間絶縁膜として、低誘電率絶縁膜を用いることを特徴とする付記 1 に記載の半導体装置の製造方法。

#### 【 0 0 6 4 】

(付記 3) 前記層間絶縁膜として、無機系の絶縁膜を用いることを特徴とする付記 1 又は 2 に記載の半導体装置の製造方法。

#### 【 0 0 6 5 】

(付記 4) 前記層間絶縁膜として、多孔質絶縁膜を用いることを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

#### 【 0 0 6 6 】

(付記 5) 前記層間絶縁膜として、ポーラスシリカ膜を用いることを特徴とする付記 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

#### 【 0 0 6 7 】

(付記 6) 前記エッチングストッパ膜は、シリコン炭化膜又はシリコン窒化膜であることを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

#### 【 0 0 6 8 】

(付記 7) 前記第 3 のハードマスクの厚さを、前記第 1 のハードマスクの 2 倍以上とすることを特徴とする付記 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【0069】

(付記 8) 前記エッチングストッパ膜をエッチングする工程は、前記第 3 のハードマスクを除去する工程を有することを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【0070】

(付記 9) 前記第 3 のハードマスクを用いて前記第 2 のハードマスクをエッチングする工程は、前記第 4 のハードマスクを除去する工程を有することを特徴とする付記 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【0071】

(付記 10) 前記第 4 のハードマスクにパターンを形成する工程は、  
第 1 のレジストマスクを用いて前記第 4 のハードマスクに第 1 のパターンを形成する工程と、

前記第 1 のレジストマスクを除去する工程と、

全面に樹脂膜を形成する工程と、

第 2 のレジストマスクを用いて前記樹脂膜にパターンを形成する工程と、

前記樹脂膜をマスクとして用いて前記第 4 のハードマスクに第 2 のパターンを形成する工程と、

前記樹脂膜を除去する工程と、

を有することを特徴とする付記 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【0072】

(付記 11) 前記第 1 のパターンは、配線溝のパターンであり、前記第 2 のパターンは、ビアホールのパターンであることを特徴とする付記 10 に記載の半導体装置の製造方法。

【0073】

(付記 12) 前記第 4 のハードマスクに第 2 のパターンを形成する工程の後

に、前記樹脂膜を用いて前記第3及び第2のハードマスクをエッチングする工程を有することを特徴とする付記10又は11に記載の半導体装置の製造方法。

#### 【0074】

(付記13) 前記第4のハードマスクを用いて前記第3のハードマスクをエッチングする工程は、前記第1のハードマスクをエッチングする工程を有することを特徴とする付記12に記載の半導体装置の製造方法。

#### 【0075】

(付記14) 前記第3のハードマスクを用いて前記第2のハードマスクをエッチングする工程は、前記層間絶縁膜に前記層間絶縁膜の厚さよりも浅い孔を形成する工程を有することを特徴とする付記13に記載の半導体装置の製造方法。

#### 【0076】

(付記15) 前記開口部は、前記第1のパターンに基づいて形成された配線溝部と、前記第2のパターンに基づいて形成されたビアホール部と、を有することを特徴とする付記10乃至14のいずれか1項に記載の半導体装置の製造方法。

#### 【0077】

##### 【発明の効果】

以上詳述したように、本発明によれば、第1乃至第4のハードマスクを用いて、層間絶縁膜の加工を行い、開口部の形成時には、ハードマスクと層間絶縁膜との間に高い選択比を確保することができる。このため、所望の形状の配線を得ることができ、微細化に伴う配線間のリークを抑制することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

##### 【図2】

図1に引き続き、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

##### 【図3】

図 2 に引き続き、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】

図 3 に引き続き、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】

図 4 に引き続き、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】

本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】

図 6 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】

図 7 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】

図 8 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 0】

図 9 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】

図 1 0 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】

図 1 1 に引き続き、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

**【図 13】**

第2の実施形態を適用して製造した半導体装置の構造を示す断面図である。

**【図 14】**

ダマシン法におけるCMPの進行を工程順に示す断面図である。

**【図 15】**

ArFレジストを用いたエッチングの進行を工程順に示す断面図である。

**【図 16】**

従来のダマシン法を採用した半導体装置の製造方法を工程順に示す断面図である。

**【図 17】**

デュアルダマシン法におけるレジストマスクの形成方法を工程順に示す断面図である。

**【符号の説明】**

- 1：層間絶縁膜
- 2：Cu配線
- 3：SiC膜（エッチングストッパ膜）
- 4：ポーラスシリカ膜（層間絶縁膜）
- 5：SiC膜（第1のハードマスク）
- 6：SiO<sub>2</sub>膜（第2のハードマスク）
- 7：SiC膜（第3のハードマスク）
- 8：SiO<sub>2</sub>膜（第4のハードマスク）
- 9：反射防止膜
- 10：レジストマスク
- 11：Cu膜
- 12：Cu配線
- 13：配線溝
- 21：下層樹脂膜
- 22：SOG膜
- 23：レジストマスク



2 4 : ビアホール

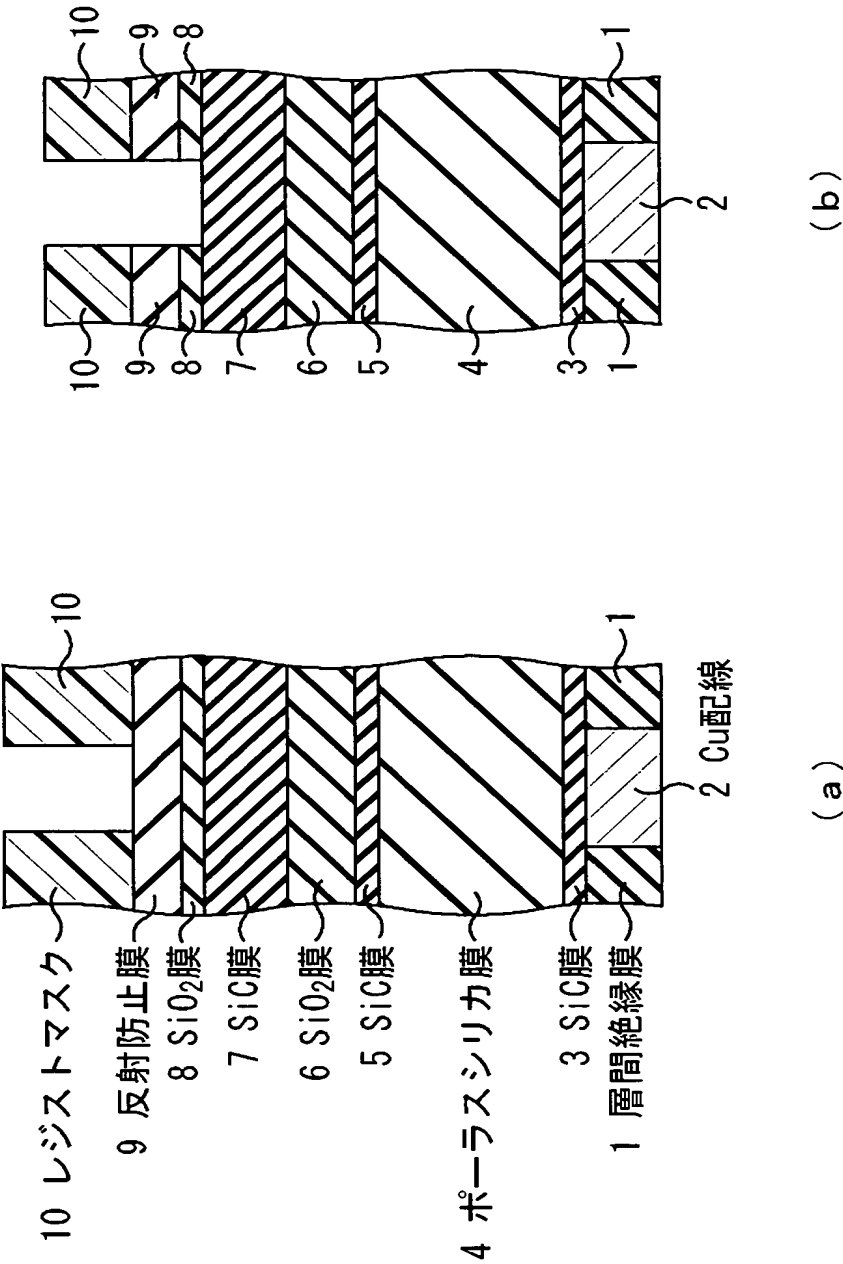
2 5 : 配線溝

2 6 : C u 膜

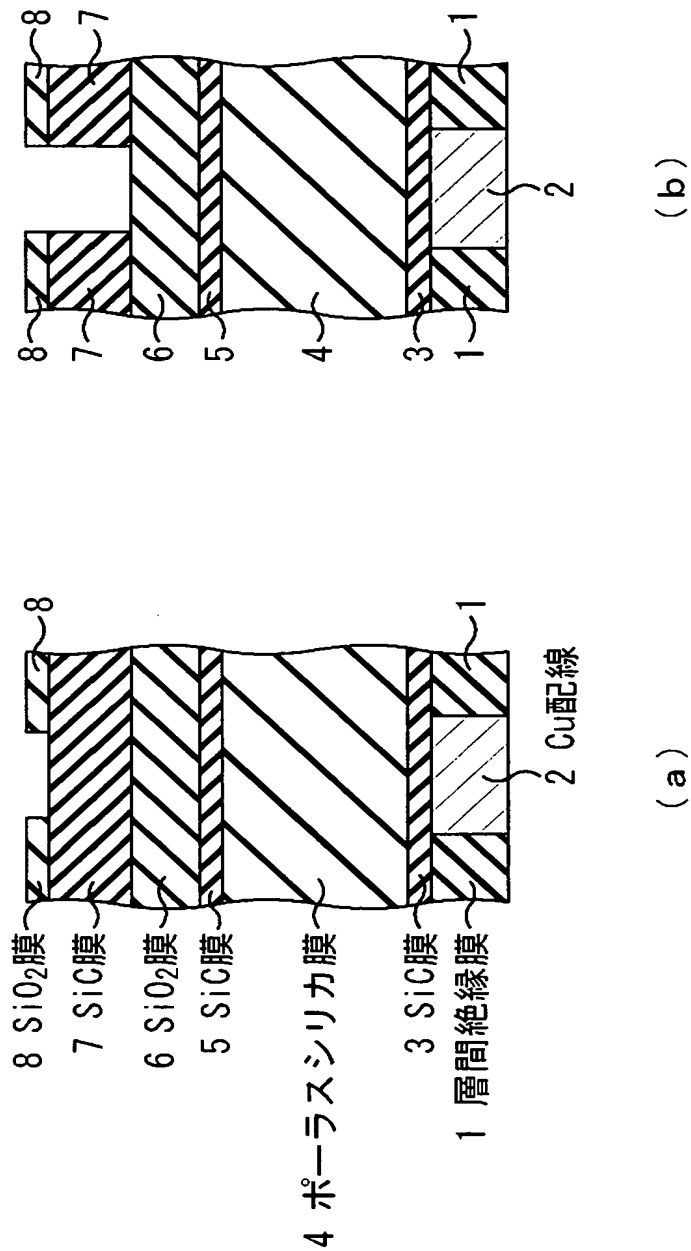
2 7 : C u 配線

【書類名】 図面

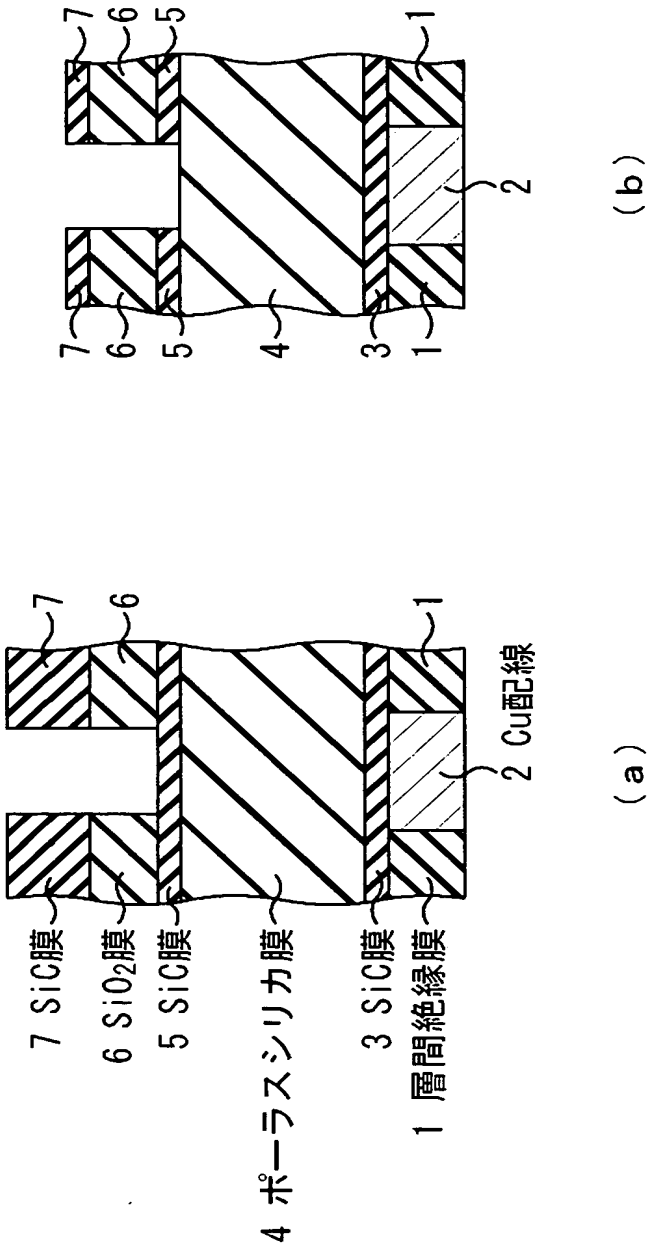
【図 1】



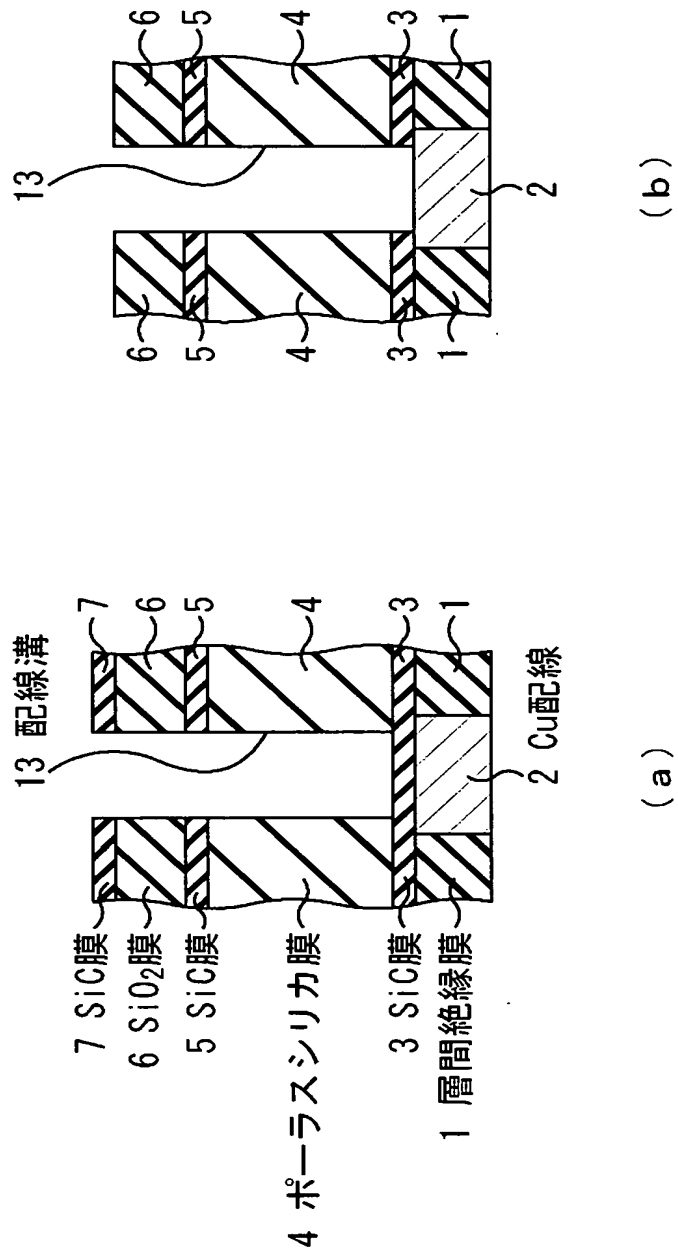
【図 2】



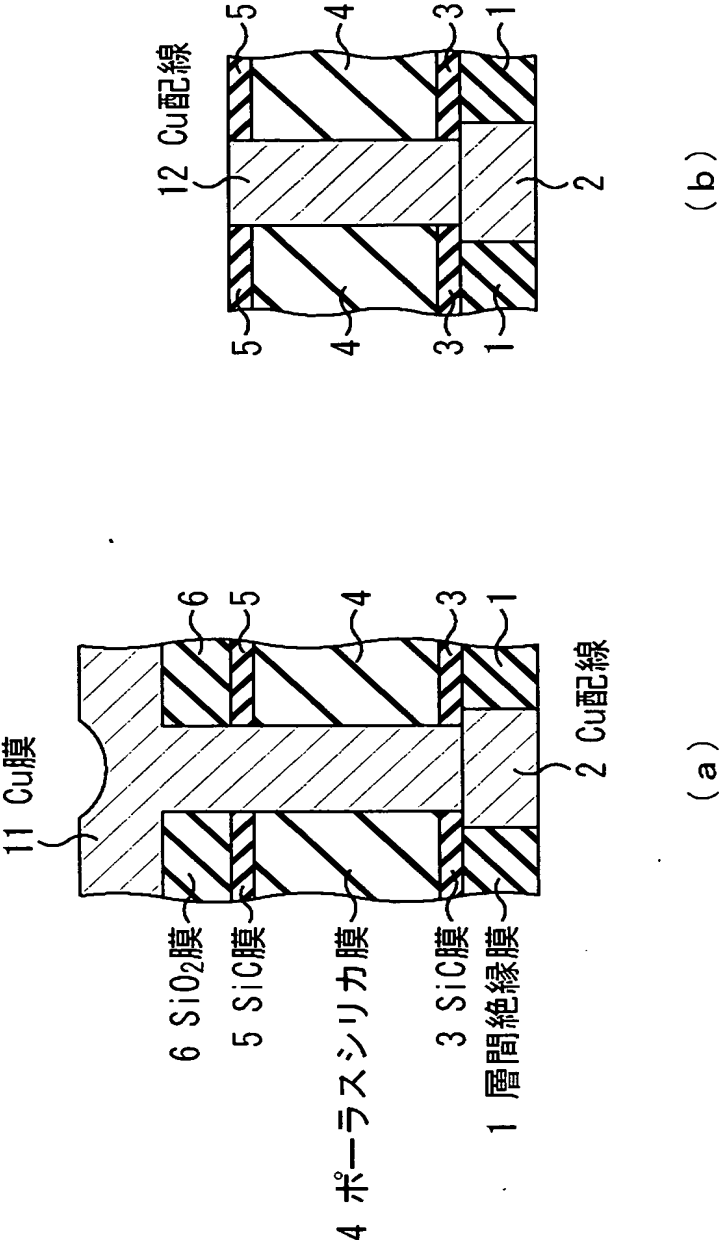
【図 3】



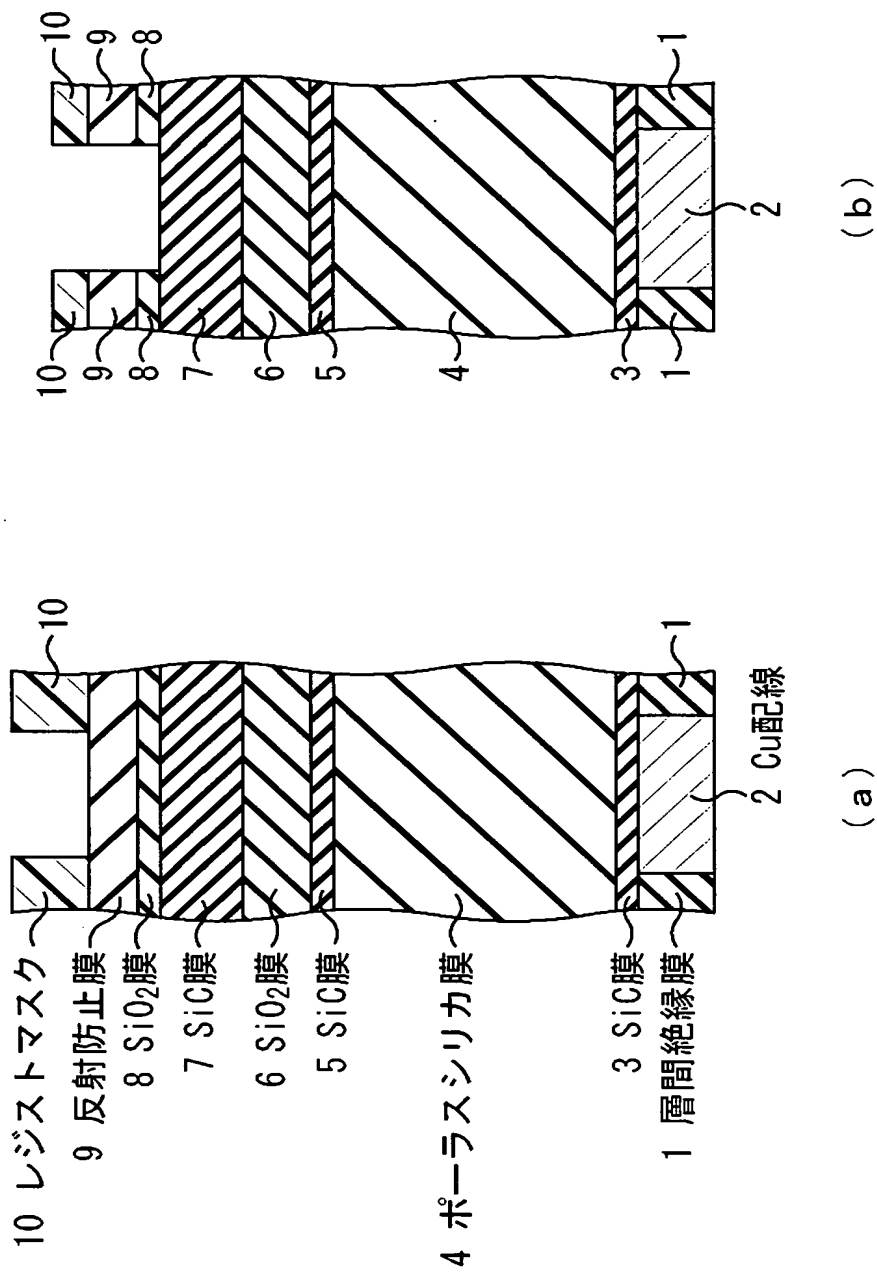
【図 4】



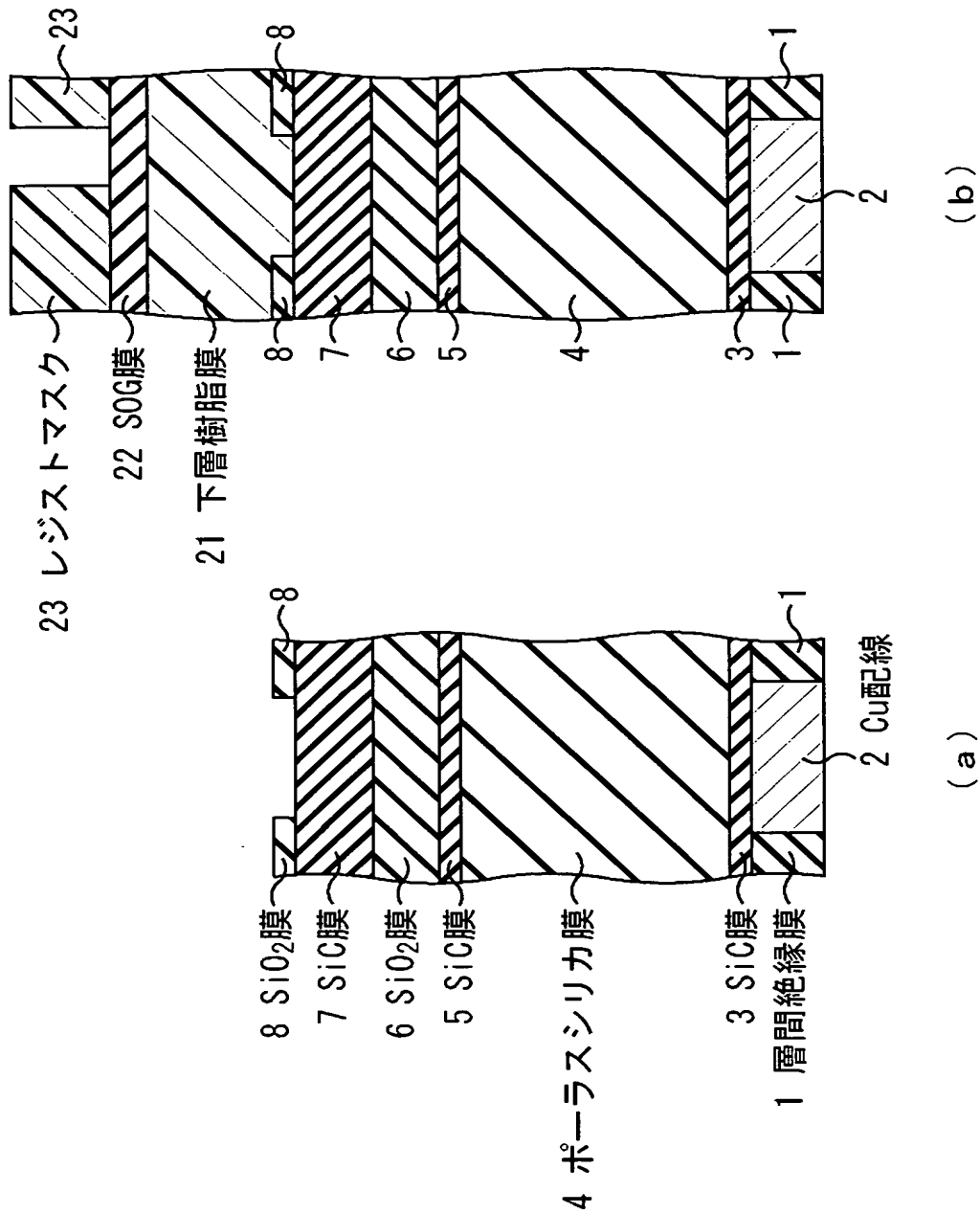
【図 5】



【図 6】

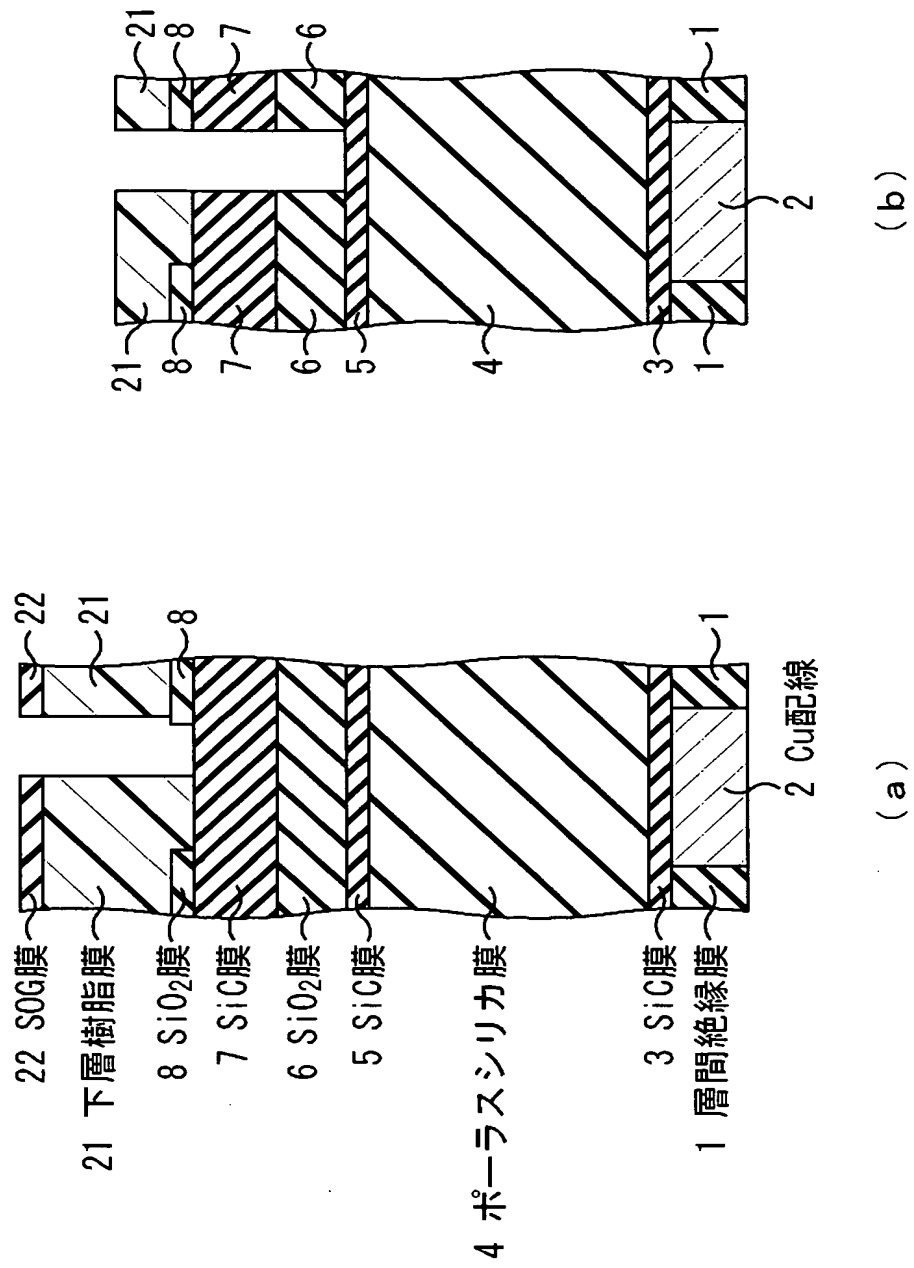


【図 7】

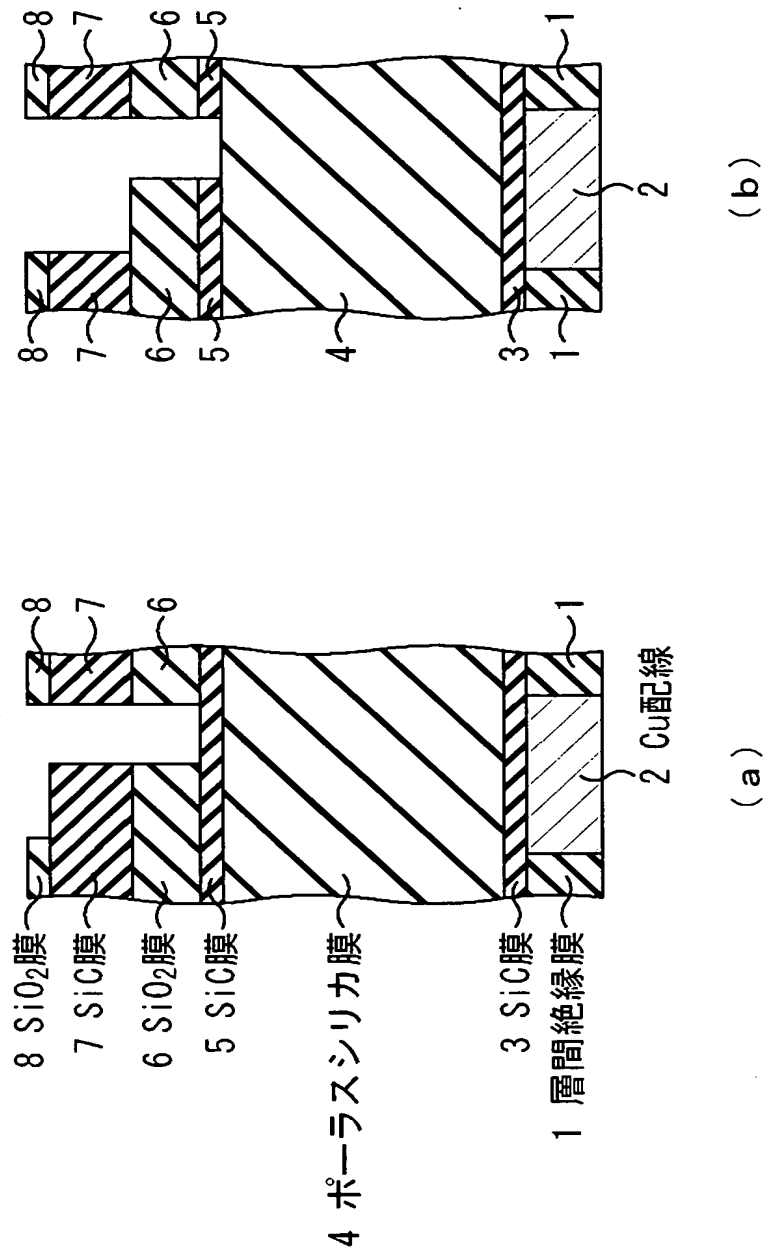




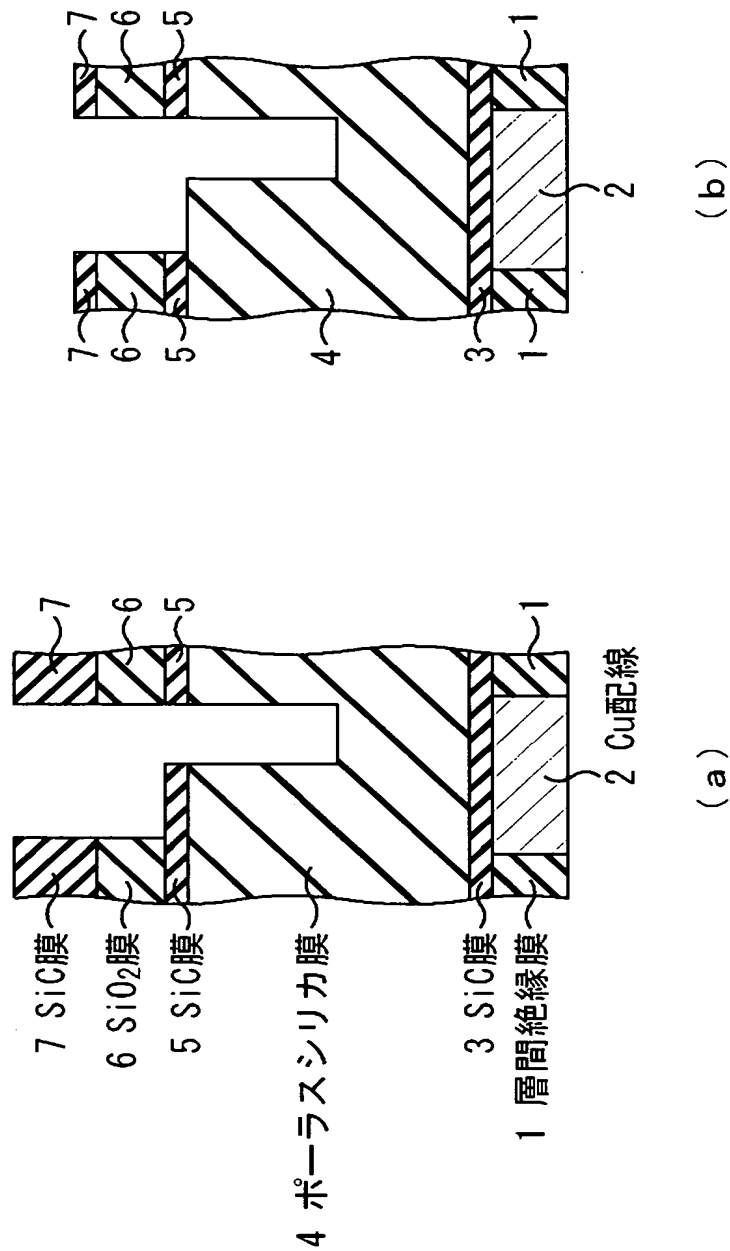
【図 8】



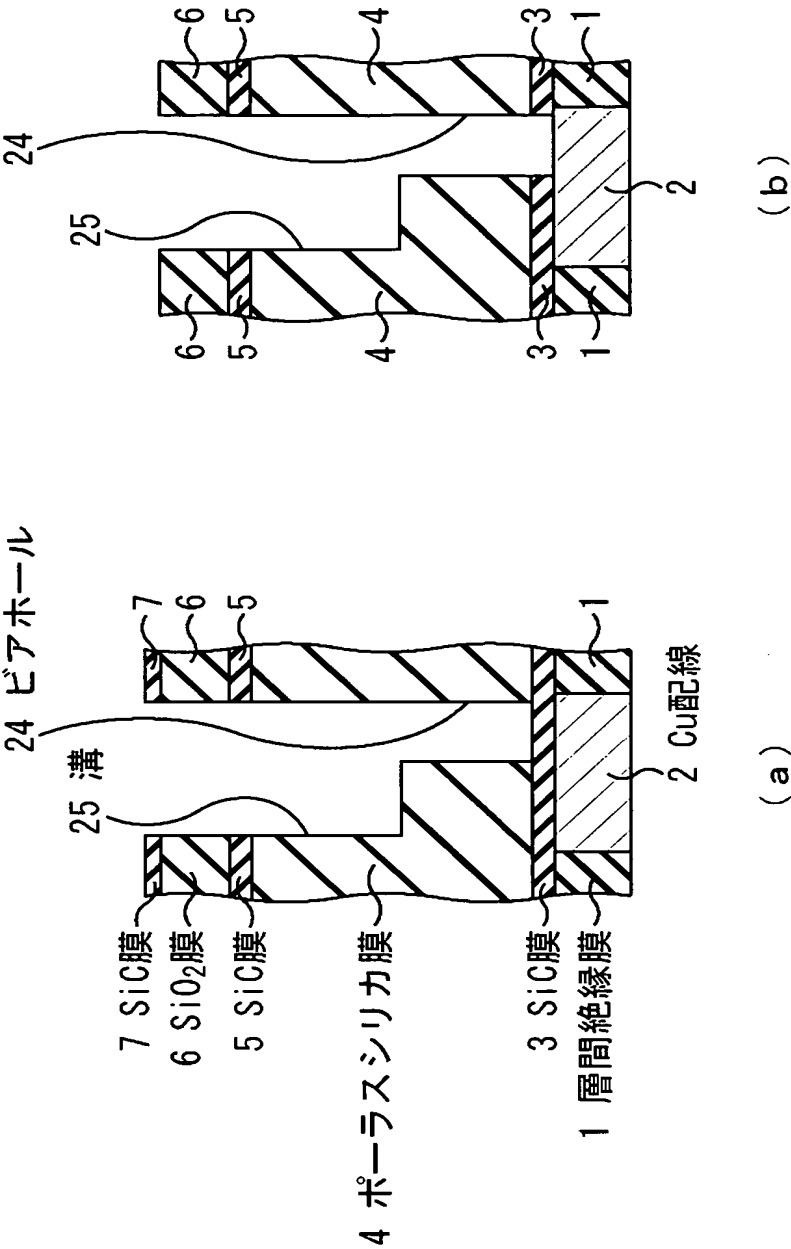
【図 9】



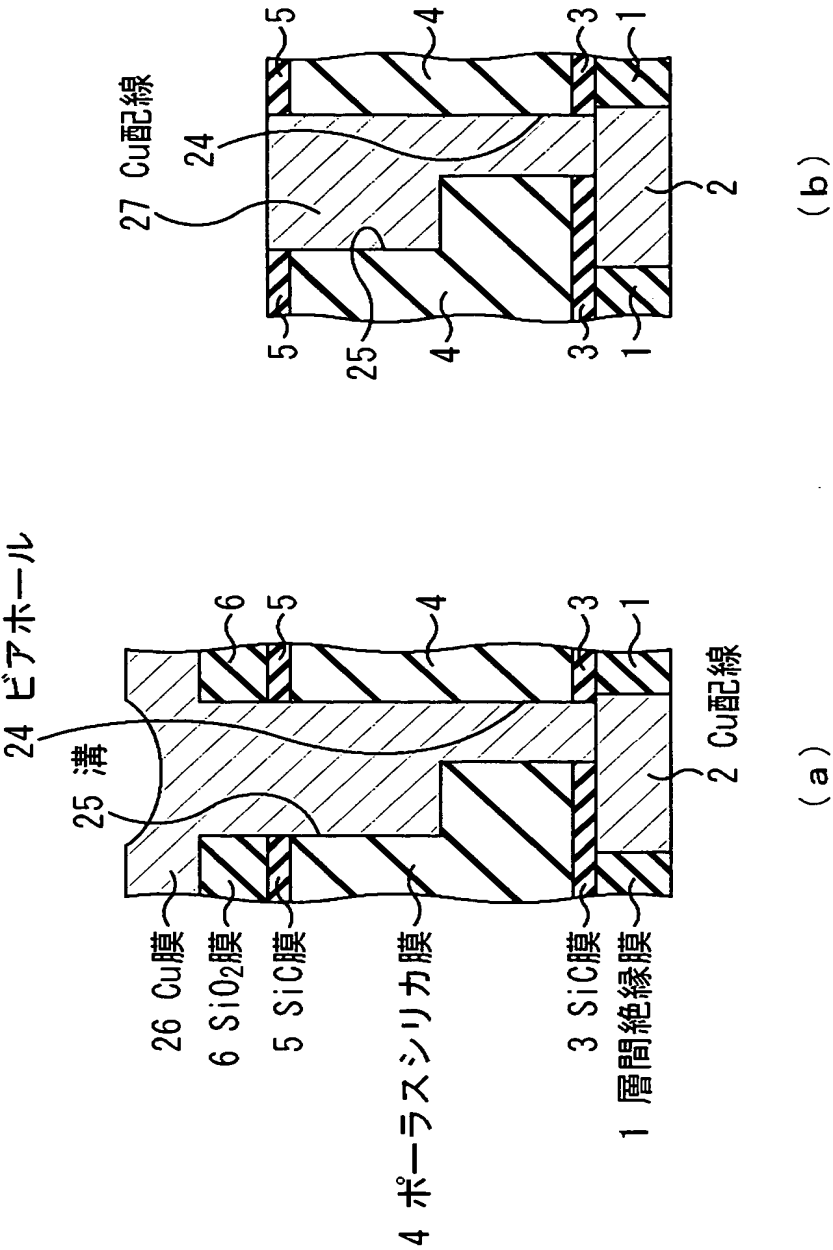
【図 10】



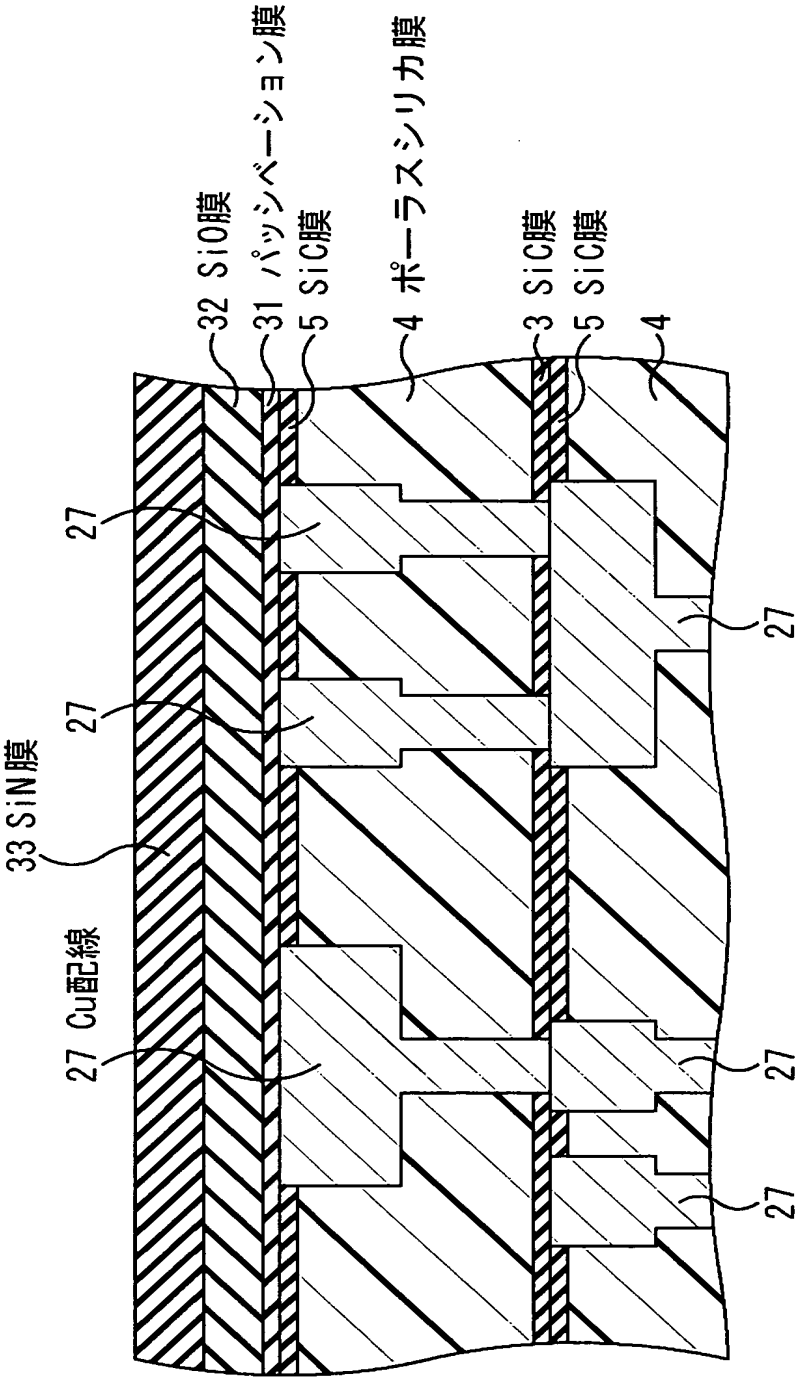
【図 11】



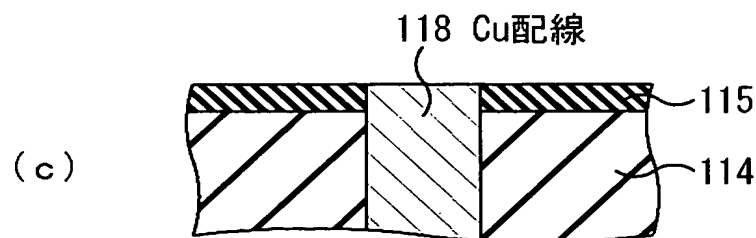
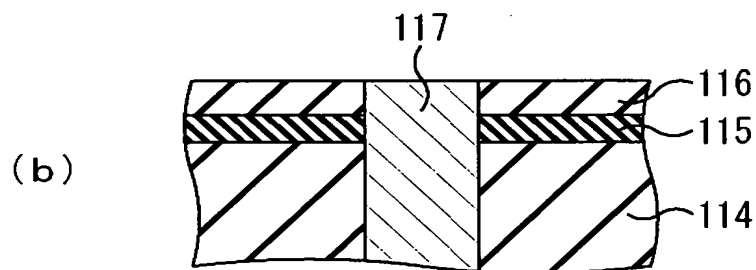
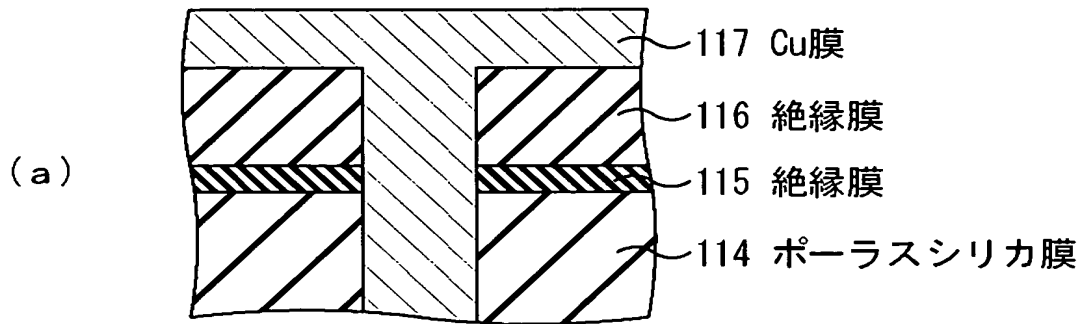
【図 1 2】



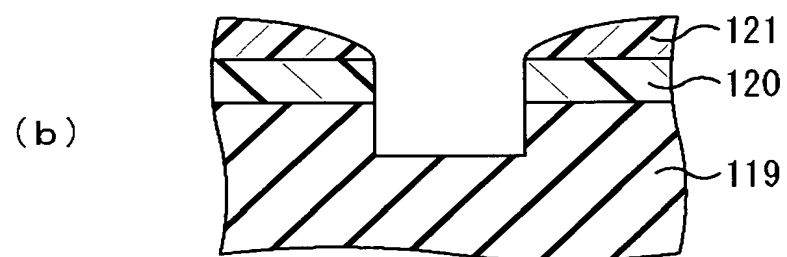
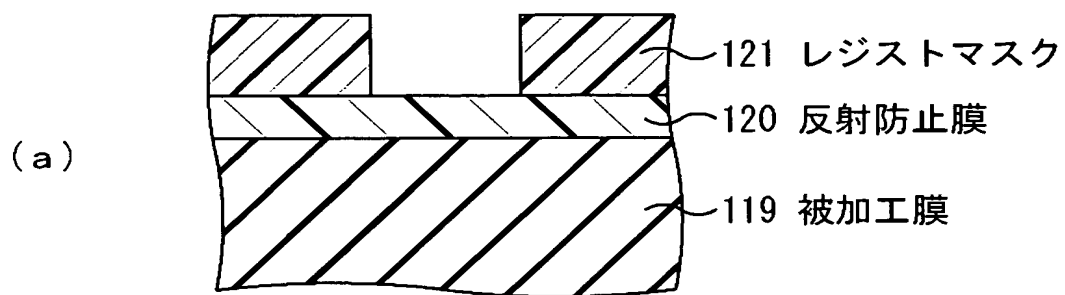
【図 13】



【図 14】

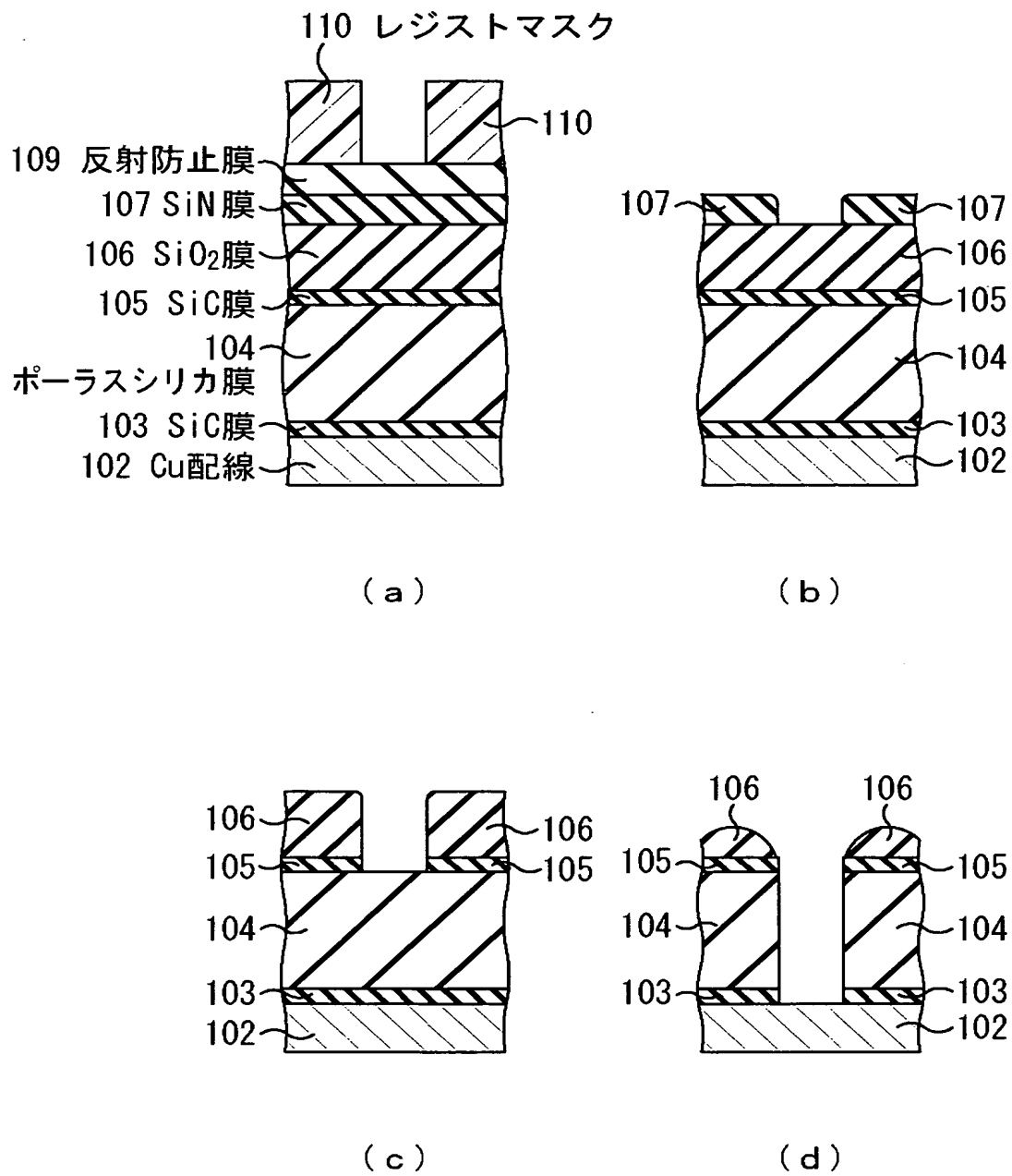


【図 15】

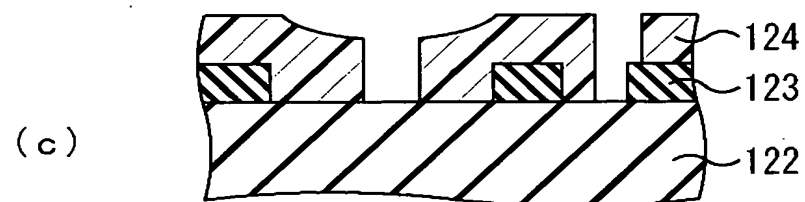
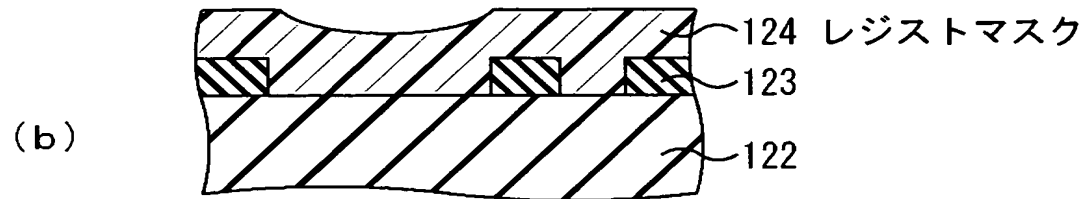
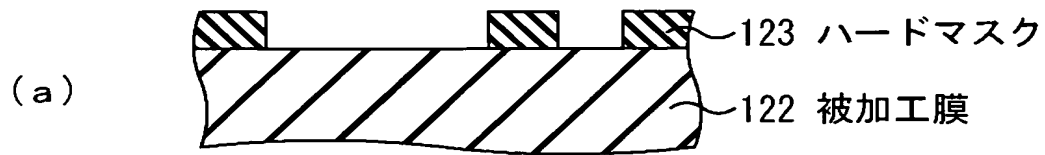




【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 微細化に伴う配線間のリークを抑制することができる半導体装置の製造方法を提供する。

【解決手段】 層間絶縁膜であるポーラスシリカ膜4上に、SiC膜5、SiO<sub>2</sub>膜6、SiC膜7及びSiO<sub>2</sub>膜8からなる4層構造のハードマスクを形成する。次に、レジストマスク10を用いてSiO<sub>2</sub>膜8をエッチングする。次いで、SiO<sub>2</sub>膜8を用いてSiC膜7をエッチングする。その後、SiC膜7を用いてSiO<sub>2</sub>膜6をエッチングする。続いて、SiC膜7を用いてSiC膜5をエッチングする。そして、SiC膜7を用いてポーラスシリカ膜4をエッチングすることにより、配線溝を形成する。このとき、SiC膜7とポーラスシリカ膜4との間の選択比が大きいため、SiC膜7の変形は生じにくく、この変形に起因するリークが防止される。

【選択図】 図1

特願 2 0 0 3 - 0 7 4 3 8 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日  
[変更理由]

1 9 9 6 年 3 月 2 6 日

住所変更

住 所  
氏 名

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
富士通株式会社